

MULTIPLEXING SYSTEM FOR STORAGE DEVICE

Publication number: JP1008433 (A)

Publication date: 1989-01-12

Inventor(s): KATADA HISASHI; TAKEDA KATSUMI

Applicant(s): HITACHI LTD

Classification:

- **International:** G06F3/06; G06F12/00; G06F15/16; G06F3/06; G06F12/00; G06F15/16; (IPC1-7): G06F3/06; G06F12/00; G06F15/16

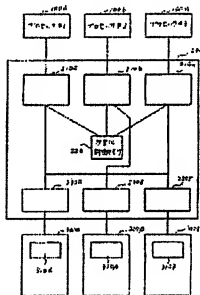
- **European:**

Application number: JP19870162325 19870701

Priority number(s): JP19870162325 19870701

Abstract of JP 1008433 (A)

PURPOSE: To attain the multiplexing of storage devices by low overhead and to effectively utilize the storage devices by arranging a device address correspondence table storing file numbers and the files in a storage controller for controlling plural storage devices. **CONSTITUTION:** Processors 100a-100n are connected to plural storage devices 300alpha-300gamma through the storage controller 200. The device 200 consists of multiplexing control parts 210 (210a-210n), a multiplexing control memory 220 and address conversion parts 230 and stores file numbers and storage device addresses correspondingly. Access requests are inputted from the processors to the control parts 210a-210n and device addresses, file numbers, intra-file relative addresses, and data transfer directions are respectively inputted. When the files are to be multiplexed, the file data are distributively outputted to conversion parts 230alpha-230gamma. Thus, the multiplexing of the storage devices is attained by low overhead and the storage device can be effectively utilized.



⑤ 日本国特許庁(JP)

⑥ 特許出願公開

④ 公開特許公報(A) 昭64-8433

⑦ Int. Cl. ⁴	識別記号	庁内整理番号	⑧ 公開 昭和64年(1989)1月12日
G 06 F 3/06	3 0 2	Z-6711-5B	
	3 0 4	B-6711-5B	
12/00	3 0 2	E-8841-5B	
15/16	3 5 0	Z-6745-5B	審査請求 未請求 発明の数 1 (全5頁)

⑨ 発明の名称 記憶装置多重化方式

⑩ 特 願 昭62-162325

⑪ 出 願 昭62(1987)7月1日

⑫ 発 明 者 片 田 久 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

⑬ 発 明 者 竹 田 克 己 神奈川県横浜市堀山下1番地 株式会社日立製作所神奈川工場内

⑭ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑮ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

記憶装置多重化方式

2. 特許請求の範囲

1. 主記憶と直接データ転送を行う記憶装置を複数のプロセッサ間で共用する計算機システムにおいて、複数の上記記憶装置を共有し記憶装置のアドレスリングは、記憶装置アドレスと記憶装置内の論理的な単位であるファイル番号とファイル内相対アドレスにより行い、ファイル番号に応じて任意の記憶装置に多重に対応付けることを特徴とする記憶装置多重化方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多重化した記憶装置のアクセス制御に係り、特にアクセス時間の短縮、障害回復時のＣＰＵオーバーヘッド削減に寄与する記憶装置の多重化方式に係わる。

(従来の技術)

従来の多重化記憶装置のアクセス方式には、磁

気ディスクに対するものがほとんどであり、例えば、特公昭61-28128にあるように、二重化した磁気ディスクのうち空きディスクを選択して入出力要求を履行するアクセス方式がある。また、特開昭59-180765に記載の二重化ポリウム管理方式は、磁気ディスク装置に帯込みデータ数を記録するカウンタを各々に設け、プロセッサダウン時に両ポリウムの内容が不一致となる可能性があるため、プロセッサ再立上時にカウンタの値から両ポリウムの内容を一覧させるものである。

このように従来、多重化は、複数ポリウムの内容を完全に一致させており多重化ポリウム上に配置するファイルはすべて同一の信頼性を保証する。

また、書き込みの場合、多重化ポリウムのすべてに対してデータを転送するが、アクセスの高速度のため、異なるチャネルを用い同時にアクセスを行っている。

(発明が解決しようとする課題)

上記従来技術は、ファイルに応じて信頼性が決

定される点について記述されておらず、2重化でよいファイルが3重化されることによつて、アクセスオーバーヘッドが増え、記憶領域も無駄に使うという問題点があつた。

また、異なるバスを用いて、同時に複数ポリュームに対して書き込みを行うため、帯込み途中で障害が発生した場合、複数ポリュームの内容が不一致となる可能性があり、内容を一致させるためのオーバーヘッドが大きくなるという問題点があつた。

本発明の目的は、記憶装置の多重化を低オーバーヘッドで実現し、かつ記憶装置を有効利用することである。

(問題点を解決するための手段)

上記目的は、主記憶をアクセスする命令とは異なるアクセス命令を持つ複数の記憶装置をプロセス間で共有し、この記憶装置のアドレッシングは装置アドレス、ファイル番号、ファイル内相対アドレスにより行い、上記記憶装置を複数制御する記憶制御装置内に、ファイル番号とファイルの装

体が格納されている装置アドレスの対応表を記憶することにより達成される。

(作用)

前記の記憶装置に、多重化を必要としないファイルを記憶するときには、一つの記憶装置にファイルを記憶し、それへのアクセスは、記憶装置アドレスを明示して転送命令を実行する。

一方、 n 多重化するファイルは、 n 個の記憶装置に割付け、1つのファイル番号と割付けた記憶装置アドレスの対応表を記憶制御装置に登録する。アクセス時には、記憶装置アドレスに未装填のアドレスを指定し、ファイル番号を指定して転送命令を実行することにより、複数ファイルにデータ転送ができる。

ファイル番号とファイル内相対アドレスから記憶装置アドレスに変換するのは、各々の記憶装置の制御部にておこなう。

(実施例)

以下、本発明の一実施例を図1図から第5図により説明する。

第1図は、本発明の装置付けを示すものである。100a~100nはプロセスである。プロセスは、記憶制御装置200を介して、複数の記憶装置300a~300yに接続されている。

上記の記憶装置は主記憶装置と異なり、主記憶とのデータ転送を行うだけである。

記憶制御装置200は、多重化制御部210と多重化制御メモリ220、およびアドレス変換部230から成る。多重化制御部210は、データ転送要求を複数のアドレス変換部に転送する。多重化制御メモリ220は、ファイル番号と記憶装置アドレスを格納するメモリであり、アドレス変換部230は、記憶装置300内のアドレス変換テーブル310により、アドレス変換を行う。

第2図により、多重化制御部の詳細を説明する。第2図において、211a~211dはプロセスからのアクセス要求を受けるラッチであり、それぞれ、記憶装置アドレス、ファイル番号、ファイル内相対アドレス、データ転送方向が入る。制御部212は、多重化制御メモリから多重化する

ファイルであるときには、マルチプレクサ214をマルチプレクサ制御部215により、複数記憶装置にデータ転送要求を割分ける。

次に、多重化制御メモリおよび制御部の詳細を説明する。

第4図は、多重化制御メモリに格納するテーブルを示すものである。221aから221dは、ファイル番号とファイルの装体が格納されている装置アドレス。ファイルの装体時に現在Copyしているファイル内相対アドレスおよび障害事象を記録するテーブルである。222aから222bは、記憶装置の障害事象、busy状態を記録するテーブルである。これに基いて、制御部は次のように動作する。

第5図に、多重化制御のフローを示す。

アクセス要求受付ラッチの記憶装置アドレスが0か否かを501にて判定する。0の装置アドレスはあり得ないため、多重化ファイルに対するアクセスであると判断し、502の判定を行う。記憶装置アドレスが0のときは、一重化ファイル

と見なし、マルチプレクサにより指定の記憶を選択し(511)、多重化制御メモリのbusyカウンタを1つ加算し、データ転送を行う。データ転送が終了したらbusyカウンタを1つ下げる。

一方、多重化ファイルに対するアクセス要求あるときには、502にて、READ要求かWRITE要求かを調べる。WRITE要求であるときには、多重化制御メモリから、対応するファイル番号を求め、記録されている記憶装置アドレスを求める(521)。この記憶装置に障害のあるときには以下の処理は行わない(522)。また、アクセスする領域が、ファイル回復のためにコピー中であり、アクセスが不可能であることを、多重化制御メモリの221eから得ると、221eの内容が変更し、アクセスが可能になるまでループする。524にて、記憶装置アドレスに対してアクセス要求を行えるようマルチプレクサを選択し、記憶装置のbusyカウンタを1増し、転送した後、busyカウンタを1減す。以上の操作を、全記憶装置に対して実行する。READ要求である時

には、複数記憶装置のうち、いずれから読み出しても構わないため、busy Cntの最小の記憶装置を選択し、アクセス待ち時間を減らす。次に選択した記憶装置を選ぶようマルチプレクサを選択し、以下同様の転送を行う。第3図により、上記のアクセス要求を受け、アクセスを行うアドレス変換部230の詳細な説明を行う。複数の多重化制御部からのアクセス要求は一旦、スタック231にスタックされ、優先順位決定装置により、1つの要求が取出される。その要求は、ファイル番号とファイル内相対アドレスであるため、アドレス変換機構により、記憶装置の実アドレスに変換し、記憶装置をアクセスする。

本実施例によれば、

- (1) プロセッサから記憶制御装置への1度の転送で多重化ファイルへのアクセスができるため、アクセス時間が短縮される。
- (2) ファイルごとに多重度を決められるため、アクセス速度を適切に決められ、記憶装置を有効に利用できる。

(3) 多重化ファイルのREADは、強んでいない記憶装置から読み出すことに、アクセス待ち時間を小さくする。

(4) 記憶装置が多重化制御を行うため、書き込み中にプロセッサがダウンしても、記憶装置の内容は同一であることが保証できる。

〔発明の効果〕

本発明によれば、ファイルごとに多重化のレベルを決められるため、アクセス速度を適切に決められ、記憶領域の有効利用が図れる。

また、記憶制御装置内で多重化制御を行うためプロセッサが書き込み中にダウンしても、多重化ファイルの内容の一貫性が保れ、回復オーバーヘッドは少なくなる。

4. 図面の簡単な説明

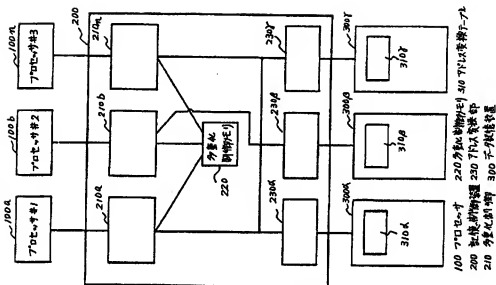
第1図は本発明の一実施例の記憶制御装置の位置付けを示す図、第2図は、多重化制御部の詳細、第3図は、アドレス変換部の詳細を示す。第4図は、多重化制御メモリに記憶するテーブルを示

す図、第5図は、多重化制御の流れ図である。
100…プロセッサ、200…記憶制御装置、
210…多重化制御部、220…多重化制御メモ
リ、230…アドレス変換部、300…記憶装置、
500…多重化制御のプロセッサ。

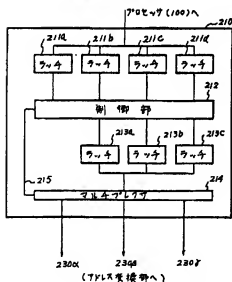
代理人 弁理士 小川豊男



第 1 図

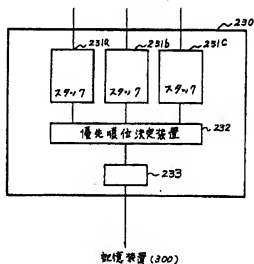


第 2 図



第 3 図

多重化制御部



210 多重化制御部
211 多重化制御装置
212 制御部
213 多重化制御装置
214 多重化制御装置

230 プリントアウト
231 多重化制御部
232 優先順位決定装置
233 プリントアウト

